

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Jae-Bon KOO, et al.

Art Unit: TBD

Appl. No.: To Be Assigned

Examiner: TBD

Filed: Concurrently Herewith

Atty. Docket: 6161.0104.US

For: **FLAT PANEL DISPLAY WITH THIN
FILM TRANSISTOR (TFT)**

Claim For Priority Under 35 U.S.C. § 119 In Utility Application

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Sir:

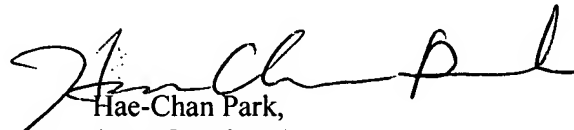
Priority under 35 U.S.C. §119 is hereby claimed to the following priority document(s), filed in a foreign country within twelve (12) months prior to the filing of the above-referenced United States utility patent application:

Country	Priority Document Appl. No.	Filing Date
KOREA	10-2003-0015855	March 13, 2003

A certified copy of Korean Patent Application No. 10-2003-0015855 is enclosed.

Prompt acknowledgment of this claim is respectfully requested.

Respectfully submitted,


Hae-Chan Park,
Reg. No. 50,114

Date: December 3, 2003
McGuireWoods LLP
1750 Tysons Boulevard, Suite 1800
McLean, VA 22102
Telephone No. 703-712-5365
Facsimile No. 703-712-5280



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2003-0015855
Application Number

출원 년 월 일 : 2003년 03월 13일
Date of Application MAR 13, 2003

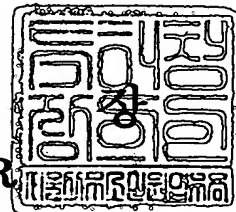
출원인 : 삼성에스디아이 주식회사
Applicant(s) SAMSUNG SDI CO., LTD.



2003 년 05 월 02 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0014
【제출일자】	2003.03.13
【국제특허분류】	H01L
【발명의 명칭】	박막 트랜지스터를 구비한 평판표시장치
【발명의 영문명칭】	Flat panel display with TFT
【출원인】	
【명칭】	삼성에스디아이 주식회사
【출원인코드】	1-1998-001805-8
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-050326-4
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2000-004535-8
【발명자】	
【성명의 국문표기】	구재본
【성명의 영문표기】	K00,Jae Bon
【주민등록번호】	720706-1767718
【우편번호】	449-766
【주소】	경기도 용인시 수지읍 풍림아파트 105동 504호
【국적】	KR
【발명자】	
【성명의 국문표기】	박지용
【성명의 영문표기】	PARK,Ji Yong
【주민등록번호】	700331-1823311

【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 993-5 204호
【국적】	KR
【발명자】	
【성명의 국문표기】	박상일
【성명의 영문표기】	PARK, Sang Il
【주민등록번호】	750320-1042314
【우편번호】	158-860
【주소】	서울특별시 양천구 신정4동 983-12호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 이해영 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	22 면 22,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	32 항 1,133,000 원
【합계】	1,184,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 각 구동 TFT의 활성층의 결정립의 차이에 따라, 그리고, 구동 TFT의 활성층의 크기를 변경하지 않고 화이트 밸런스를 맞추며, 각 부화소에 최적의 전류를 공급함으로써 적절한 휘도를 얻고, 수명을 단축시키지 않도록 하기 위한 것으로, 자발광 소자를 구비한 복수개의 부화소를 포함하는 화소들과, 상기 각 부화소에 구비되어 적어도 채널 영역을 갖는 반도체 활성층을 구비하고, 상기 자발광 소자에 각각 접속되어 전류를 공급하는 것으로, 상기 활성층의 적어도 채널 영역이 상기 부화소별로 그 결정립의 크기 또는 모양이 서로 다르게 구비된 구동 박막 트랜지스터를 포함하는 것을 특징으로 하는 평판표시장치에 관한 것이다.

【대표도】

도 1

【명세서】**【발명의 명칭】**

박막 트랜지스터를 구비한 평판표시장치{Flat panel display with TFT}

【도면의 간단한 설명】

도 1은 본 발명의 바람직한 일 실시예에 따른 액티브 매트릭스형 유기 전계 발광 표시장치의 박막 트랜지스터 활성층 구조를 설명하기 위한 평면도,

도 2는 박막 트랜지스터의 활성층을 이루는 다결정질 실리콘 박막에 각 부화소의 활성층을 형성한 상태를 나타내는 평면도,

도 3은 활성층의 방향과 채널 영역의 전류 이동도와의 관계를 나타내는 그래프,

도 4는 도 2에 따른 활성층들의 전류 이동도비를 나타내는 그래프,

도 5는 박막 트랜지스터의 활성층을 이루는 다결정질 실리콘 박막에 각 부화소의 활성층을 형성한 상태를 나타내는 평면도,

도 6은 ELA결정화법에 있어, 에너지 밀도와 결정립의 크기와의 관계를 나타내는 그래프,

도 7은 결정립의 크기와 전류 이동도의 관계를 나타내는 그래프,

도 8은 본 발명에 따른 박막 트랜지스터를 구비한 유기 전계 발광 표시장치의 단일 부화소에 대한 부분 확대 평면도,

도 9는 도 8의 부화소에 대한 등가회로도,

도 10은 도 8의 IV-IV에 대한 단면도,

도 11은 도 8의 V-V에 대한 단면도.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <12> 본 발명은 박막 트랜지스터를 구비한 액티브 매트릭스형 평판표시장치에 관한 것으로서, 보다 상세하게는 다결정질 실리콘을 활성층으로 구비하고, 각 표시화소별로 그 결정립의 크기 및 모양을 달리한 박막 트랜지스터를 구비한 평판 표시장치에 관한 것이다.
- <13> 액정 디스플레이 소자나 유기 전계 발광 디스플레이 소자 또는 무기 전계 발광 디스플레이 소자 등 평판 표시장치에 사용되는 박막 트랜지스터(Thin Film Transistor: TFT)는 각 픽셀의 동작을 제어하는 스위칭 소자 및 픽셀을 구동시키는 구동 소자로 사용된다.
- <14> 이러한 박막 트랜지스터는 기판 상에 고농도의 불순물로 도핑된 드레인 영역과 소스 영역 및 상기 드레인 영역과 소스 영역의 사이에 형성된 채널 영역을 갖는 반도체 활성층을 가지며, 이 반도체 활성층 상에 형성된 게이트 절연막 및 활성층의 채널영역 상부의 게이트 절연막 상에 형성된 게이트 전극으로 구성되는 데, 상기 반도체 활성층은 실리콘의 결정 상태에 따라 비정질 실리콘과 다결정질 실리콘으로 구분된다.
- <15> 비정질 실리콘을 이용한 박막 트랜지스터는 저온 증착이 가능하다는 장점이 있으나, 전기적 특성과 신뢰성이 저하되고, 표시소자의 대면적화가 어려워 최근에는 다결정질 실리콘을 많이 사용하고 있다. 다결정질 실리콘은 수십 내지 수백 $\text{cm}^2/\text{V.s}$ 의 높은 전류 이동도를 갖고, 고주파 동작 특성 및 누설 전류치가 낮아 고정세 및 대면적의 평판표시장치에 사용하기에 매우 적합하다.

- <16> 한편, 상기와 같은 박막 트랜지스터는 전술한 바와 같이, 평판 표시장치에 있어 스위칭 소자나 화소의 구동소자로 사용되는 데, 능동 구동방식의 액티브 매트릭스(Active Matrix: AM)형 유기 전계 발광 표시장치는 각 화소당 적어도 2개의 박막 트랜지스터(이하, "TFT"라 함)를 구비한다.
- <17> 상기 유기 전계 발광 소자는 애노우드 전극과 캐소우드 전극의 사이에 유기물로 이루어진 발광층을 갖는다. 이 유기 전계 발광 소자는 이들 전극들에 양극 및 음극 전압이 각각 인가됨에 따라 애노우드 전극으로부터 주입된 정공(hole)이 정공 수송층을 경유하여 발광층으로 이동되고, 전자는 캐소우드 전극으로부터 전자 수송층을 경유하여 발광층으로 주입되어, 이 발광층에서 전자와 홀이 재결합하여 여기자(exiton)를 생성하고, 이 여기자가 여기상태에서 기저상태로 변화됨에 따라, 발광층의 형광성 분자가 발광함으로써 화상을 형성한다. 풀컬러 유기 전계 발광 표시장치의 경우에는 상기 유기 전계 발광 소자로서 적(R), 녹(G), 청(B)의 삼색을 발광하는 화소를 구비토록 함으로써 풀컬러를 구현한다.
- <18> 그런데, 상기와 같은 유기 전계 발광 표시장치에 있어서, 각 색채를 발광하는 적, 녹, 청 각 발광층의 발광효율이 색채별로 서로 다르다. 동일한 전류를 인가하였을 경우 발광효율에 따라 어떤 색은 발광 휘도가 떨어지고, 어떤 색은 발광 휘도가 증대되어 적 정도의 색 밸런스 또는 화이트 밸런스(white balance)를 얻기 어렵다. 예컨대, 녹색 발광층의 발광 효율이 적색 발광층 및 청색 발광층에 비해 3 내지 6배 높기 때문에 화이트 밸런스를 맞추기 위해서는 적색 및 청색 발광층에 그만큼 더 많은 전류를 흘려줘야 하는 것이다.

- <19> 이렇듯, 화이트 밸런스를 맞추기 위한 종래의 방법으로, 일본 특허 특개평5-107561호에는 구동라인을 통해 공급되는 전압, 즉, Vdd 값을 각 화소별로 다르게 인가하는 방법이 개시되어 있다.
- <20> 또한, 일본 특허 특개2001-109399호에는 구동 TFT의 사이즈를 조절함으로써 화이트 밸런스를 맞추는 방법이 개시되어 있다. 즉, 구동 TFT의 채널 영역의 채널 폭을 W라 하고, 채널 길이를 L이라 할 때, 그 비인 W/L을 적, 녹, 청색의 각 화소별로 다르게 설계하여 적, 녹, 청색의 각 유기 전계 발광 소자에 흐르는 전류 양을 조절하는 것이다.
- <21> 일본 특허 특개2001-290441호에는 각 화소를 다른 크기로 형성함으로써 화이트 밸런스를 맞추는 방법이 개시되어 있다. 즉, 발광효율이 가장 높은 녹색 발광영역의 발광 면적을 적색 및 청색 발광영역의 발광면적에 비해 가장 작게 형성하여 화이트 밸런스와 장수명화를 도모하는 것이다. 이러한 발광면적의 차이는 애노우드 전극의 면적으로서 가 능케 할 수 있다.
- <22> 이 밖에도 데이터 라인을 통해 인가되는 전압 범위를 적, 녹, 청색 각 화소별로 달리 하여 전류량을 제어함으로써 휘도를 조절하는 방법이 알려져 있다.
- <23> 그런데, 상기와 같은 방법들은 다결정질 실리콘을 사용하는 평판 디스플레이 장치의 TFT에 있어서, 그 결정 구조를 고려하지 않은 것이다. 즉, TFT 활성층의 결정립은 그 결정화 방법에 따라 다양한 모양과 크기를 가질 수 있는 데, 이러한 결정립의 모양과 크기에 따라 전류 이동도가 달라질 수 있으며, 이 경우 상기와 같은 방법들에 의해서도 화이트 밸런스를 맞출 수 없는 문제가 발생할 수 있다.

<24> 한편, 유기 전계 발광 소자에 있어서는 각 부화소(sub-pixel)당 유기 전계 발광 소자에 흐르는 전류량이 한계치를 초과하게 되면, 한계치 이상의 전류량에 의해 단위면적당 휘도가 크게 증가하고, 이에 따라 유기 전계 발광 소자의 수명이 급격히 감소하게 된다. 따라서, 소자의 수명을 위해서도 각 부화소당 최적의 전류량을 공급해야 하는 것이다.

【발명이 이루고자 하는 기술적 과제】

<25> 본 발명은 상기와 같은 문제점을 해결하기 위해 안출된 것으로, 각 구동 TFT의 활성층의 결정립의 차이에 따라 화이트 밸런스를 맞출 수 있는 평판표시장치를 제공하는 데 그 목적이 있다.

<26> 본 발명의 다른 목적은 구동 TFT의 활성층의 크기를 변경하지 않고, 동일 구동전압을 가한 상태에서도 화이트 밸런스를 맞출 수 있는 평판표시장치를 제공하는 것이다.

<27> 본 발명의 또 다른 목적은 각 부화소에 최적의 전류를 공급함으로써 적절한 휘도를 얻고, 수명을 단축시키지 않는 평판표시장치를 제공하는 것이다.

【발명의 구성 및 작용】

<28> 상기한 바와 같은 목적을 달성하기 위하여, 본 발명은 자발광 소자를 구비한 복수개의 부화소를 포함하는 화소들과, 상기 각 부화소에 구비되어 적어도 채널 영역을 갖는 반도체 활성층을 구비하고, 상기 자발광 소자에 각각 접속되어 전류를 공급하는 것으로, 상기 활성층의 적어도 채널 영역이 상기 부화소별로 그 결정립의 형상이 서로 다르게 구비된 구동 박막 트랜지스터를 포함하는 것을 특징으로 하는 평판표시장치를 제공한다.

- <29> 본 발명의 다른 특징에 의하면, 상기 부화소들은 적어도 두 개의 서로 다른 색상을 갖도록 구비될 수 있다.
- <30> 본 발명의 또 다른 특징에 의하면, 상기 채널 영역은 상기 부화소의 색상별로 그 결정립의 형상이 서로 다르게 구비될 수 있다.
- <31> 본 발명의 또 다른 특징에 의하면, 상기 각 채널 영역의 결정립의 형상은 상기 각 부화소를 흐르는 전류값에 의해 결정될 수 있다.
- <32> 본 발명의 또 다른 특징에 의하면, 상기 각 채널 영역의 결정립의 형상은 상기 각 채널영역의 전류 이동도에 의해 결정될 수 있다.
- <33> 본 발명의 또 다른 특징에 의하면, 상기 채널 영역의 결정립의 형상은 상기 채널 영역을 형성하는 결정립의 크기에 의해 결정될 수 있다.
- <34> 본 발명의 또 다른 특징에 의하면, 상기 채널 영역의 결정립의 크기는 동일 구동전압 하에서 상기 각 부화소들에 흐르는 전류값에 비례하게 되도록 결정될 수 있다.
- <35> 본 발명의 또 다른 특징에 의하면, 상기 채널 영역의 결정립의 크기는 상기 각 채널 영역의 전류 이동도에 비례하게 되도록 결정될 수 있다.
- <36> 본 발명의 또 다른 특징에 의하면, 상기 채널 영역의 결정립의 형상은 상기 채널 영역을 형성하는 결정립의 모양에 의해 결정될 수 있다.
- <37> 본 발명의 또 다른 특징에 의하면, 상기 채널 영역의 결정립의 모양은 동일 구동전압 하에서 가장 적은 전류가 흐르는 부화소들의 적어도 채널 영역이 무정형의 결정입계를 갖도록 결정될 수 있다.

<38> 본 발명의 또 다른 특징에 의하면, 상기 채널 영역의 결정립의 모양은 동일 구동전압 하에서 상기 무정형의 결정입계를 갖는 부화소들보다 많은 전류가 흐르는 부화소들의 적어도 채널 영역의 결정립이 평행하게 배열된 제1결정입계와, 상기 제 1결정입계의 사이에 상기 제1결정입계에 대략 수직하도록 연장된 제2결정입계를 갖는 것으로, 상기 제1결정입계가 스트라이프 형상이거나, 사각형상이 되도록 결정될 수 있다.

<39> 본 발명의 또 다른 특징에 의하면, 상기 채널 영역의 결정립의 모양은 동일 구동전압 하에서 가장 많은 전류가 흐르는 부화소들의 적어도 채널 영역의 결정립이 평행하게 배열된 제1결정입계와, 상기 제 1결정입계의 사이에 상기 제1결정입계에 대략 수직하도록 연장된 제2결정입계를 갖는 것으로, 상기 제1결정입계가 스트라이프 형상이 되도록 결정될 수 있다.

<40> 본 발명의 또 다른 특징에 의하면, 상기 채널 영역의 결정립의 모양은 가장 낮은 전류 이동도를 갖는 부화소들의 적어도 채널 영역이 무정형의 결정입계를 갖도록 결정될 수 있다.

<41> 본 발명의 또 다른 특징에 의하면, 상기 채널 영역의 결정립의 모양은 상기 무정형의 결정입계를 갖는 부화소들보다 높은 전류 이동도를 갖는 부화소들의 적어도 채널 영역의 결정립이 평행하게 배열된 제1결정입계와, 상기 제 1결정입계의 사이에 상기 제1결정입계에 대략 수직하도록 연장된 제2결정입계를 갖는 것으로, 상기 제1결정입계가 스트라이프 형상이거나, 사각형상이 되도록 결정될 수 있다.

<42> 본 발명의 또 다른 특징에 의하면, 상기 채널 영역의 결정립의 모양은 가장 높은 전류 이동도를 갖는 부화소들의 적어도 채널 영역의 결정립이 평행하게 배열된 제1결정

입계와, 상기 제 1결정입계의 사이에 상기 제1결정입계에 대략 수직하도록 연장된 제2결정입계를 갖는 것으로, 상기 제1결정입계가 스트라이프 형상이 되도록 결정될 수 있다.

<43> 본 발명은 또한 상기와 같은 목적을 달성하기 위하여, 자발광 소자를 구비한 적색, 녹색 및 청색의 부화소들을 포함하는 화소들과, 상기 각 부화소에 구비되어 적어도 채널 영역을 갖는 반도체 활성층을 구비하고, 상기 자발광 소자에 각각 접속되어 전류를 공급하는 것으로, 상기 활성층의 적어도 채널 영역이 상기 부화소의 색상별로 그 결정립의 형상이 서로 다르게 구비된 구동 박막 트랜지스터를 포함하는 것을 특징으로 하는 평판 표시장치를 제공한다.

<44> 이러한 본 발명의 다른 특징에 의하면, 상기 채널 영역의 결정립의 형상은 상기 채널 영역을 형성하는 결정립의 크기에 의해 결정될 수 있다.

<45> 본 발명의 또 다른 특징에 의하면, 상기 각 채널 영역의 결정립의 크기는 상기 녹색 부화소들을 흐르는 전류값이 가장 낮게 되도록 결정될 수 있다.

<46> 본 발명의 또 다른 특징에 의하면, 상기 각 채널 영역의 결정립의 크기는 동일 구동전압 하에서 각 부화소들을 흐르는 전류값이 적색, 청색 및 녹색 부화소들의 순으로 낮아지도록 결정될 수 있다.

<47> 본 발명의 또 다른 특징에 의하면, 상기 각 채널 영역의 결정립의 크기는 상기 녹색 부화소들의 활성층의 채널 영역의 전류 이동도가 가장 낮게 되도록 결정될 수 있다.

<48> 본 발명의 또 다른 특징에 의하면, 상기 각 채널 영역의 결정립의 크기는 상기 각 부화소들의 활성층의 채널영역의 전류 이동도가 적색, 청색 및 녹색 부화소들의 순으로 낮아지도록 결정될 수 있다.

- <49> 본 발명의 또 다른 특징에 의하면, 상기 각 채널 영역의 결정립의 크기는 적색, 청색 및 녹색 부화소들의 순으로 작아지도록 결정될 수 있다.
- <50> 본 발명의 또 다른 특징에 의하면, 상기 채널 영역의 결정립의 형상은 상기 채널 영역을 형성하는 결정립의 모양에 의해 결정될 수 있다.
- <51> 본 발명의 또 다른 특징에 의하면, 상기 각 채널 영역의 결정립의 모양은 상기 녹색 부화소들을 흐르는 전류값이 가장 낮게 되도록 결정될 수 있다.
- <52> 본 발명의 또 다른 특징에 의하면, 상기 각 채널 영역의 결정립의 모양은 동일 구동전압 하에서 각 부화소들을 흐르는 전류값이 적색, 청색 및 녹색 부화소들의 순으로 낮아지도록 결정될 수 있다.
- <53> 본 발명의 또 다른 특징에 의하면, 상기 각 채널 영역의 결정립의 모양은 상기 녹색 부화소들의 활성층의 채널 영역의 전류 이동도가 가장 낮게 되도록 결정될 수 있다.
- <54> 본 발명의 또 다른 특징에 의하면, 상기 각 채널 영역의 결정립의 모양은 상기 각 부화소들의 활성층의 채널 영역의 전류 이동도가 적색, 청색 및 녹색 부화소들의 순으로 낮아지도록 결정될 수 있다.
- <55> 본 발명의 또 다른 특징에 의하면, 상기 각 채널 영역의 결정립 중 적색 부화소들의 적어도 채널 영역의 결정립이 평행하게 배열된 제1결정입계와, 상기 제1결정입계의 사이에 상기 제1결정입계에 대략 수직하도록 연장된 제2결정입계를 갖는 것으로, 상기 제1결정입계가 상기 적색 부화소의 활성층의 길이방향에 수직하게 구비된 스트라이프 형상의 결정입계를 가질 수 있다.

- <56> 본 발명의 또 다른 특징에 의하면, 상기 각 채널 영역의 결정립 중 녹색 부화소들의 적어도 채널 영역은 무정형의 결정입계를 가질 수 있다.
- <57> 본 발명의 또 다른 특징에 의하면, 상기 각 채널 영역의 결정립 중 청색 부화소들의 적어도 채널 영역의 결정립이 평행하게 배열된 제1결정입계와, 상기 제 1결정입계의 사이에 상기 제1결정입계에 대략 수직하도록 연장된 제2결정입계를 갖는 것으로, 상기 제1결정입계가 사각형상이 될 수 있다.
- <58> 이러한 본 발명에 있어서, 상기 활성층의 적어도 채널영역은 다결정질 실리콘으로 구비될 수 있고, 상기 다결정질 실리콘은 레이저에 의한 결정화방법에 의해 형성될 수 있다.
- <59> 이하, 첨부된 도면을 참조로 본 발명의 바람직한 실시예에 대하여 보다 상세히 설명한다.
- <60> 도 1은 본 발명에 따른 평판표시장치 중 그 바람직한 일 실시예에 따른 액티브 매트릭스형 유기 전계 발광 표시장치의 박막 트랜지스터 활성층 구조를 설명하기 위한 평면도이다. 도 1에서 볼 때, 상기 유기 전계 발광 표시장치의 각 화소들은 적색(R), 녹색(G) 및 청색(B)의 부화소들이 종방향(도 1에서 상하방향)으로 반복하여 배치되도록 구비되어 있다. 그러나, 이러한 화소들의 구성은 반드시 이에 한정되는 것은 아니며, 각 색상의 부화소들이 모자이크상, 격자상 등 다양한 패턴으로 배열되어 화소를 구성할 수 있으며, 그 색상도 서로 다른 적어도 둘 이상의 색상으로 다양하게 구성할 수 있음은 물론이다.

- <61> 이러한 유기 전계 발광 표시장치는 복수개의 게이트 라인(51)이 횡방향(도 1에서 좌우방향)으로 배설되고, 복수개의 데이터 라인(52)이 종방향으로 배설되어 있다. 그리고, 전력을 공급하기 위한 구동 라인(53)이 역시 종방향으로 배설되어 있다. 이들 게이트 라인(51), 데이터 라인(52) 및 구동 라인(53)은 하나의 부화소를 둘러싸도록 구비된다.
- <62> 한편, 상기와 같은 구성에 있어서, 적색(R), 녹색(G) 및 청색(B) 화소들의 각 부화소들은 제 1 박막 트랜지스터(이하, "제 1 TFT"라 함)와, 제 2 박막 트랜지스터(이하, "제 2 TFT"라 함)의 적어도 두 개의 박막 트랜지스터를 구비하는 데, 상기 제 1 TFT(10r)(10g)(10b)는 게이트 라인(51)의 신호에 따라 소자의 동작을 제어하는 스위칭 박막 트랜지스터가 되고, 상기 제 2 TFT(20r)(20g)(20b)는 소자를 구동하는 구동 박막 트랜지스터가 될 수 있다. 물론 이러한 박막 트랜지스터의 수와 배치는 디스플레이의 특성 및 구동 방법 등에 따라 다양한 수가 존재할 수 있으며, 그 배치 방법도 다양하게 존재할 수 있음은 물론이다.
- <63> 이들 제 1 TFT(10r)(10g)(10b) 및 제 2 TFT(20r)(20g)(20b)는 각각 반도체 활성층인 제 1 활성층(11r)(11g)(11b) 및 제 2 활성층(21r)(21g)(21b)을 갖는 데, 이들 활성층들은 비록 도면에 나타내지는 않았지만 각각 후술하는 바와 같은 채널 영역을 갖는다. 상기 채널 영역은 길이방향으로 형성된 제 1 활성층(11r)(11g)(11b) 및 제 2 활성층(21r)(21g)(21b)의 대략 중앙부에 위치한 영역으로, 그 상부를 통해 게이트 전극이 절연되어 형성된 영역에 해당한다.
- <64> 이러한 유기 전계 발광 표시장치에 있어서, 상기 구동 TFT를 이루는 제 2 활성층들은 각 부화소별로 그 결정립의 형상이 서로 다르게 구비되도록 형성될 수 있다. 본 발명

의 바람직한 일 실시예에 의하면, 이들 제 2 활성층들은 각 색상별로 그 결정립의 형상이 서로 다르게 형성될 수 있다. 즉, 적색 화소(R)를 구성하는 제 2 활성층(21r)별로, 녹색 화소(G)를 구성하는 제 2 활성층(21g)별로, 청색 화소(B)를 구성하는 제 2 활성층(21b)별로 서로 다른 형상의 결정립을 갖도록 하는 것이다. 따라서, 적, 녹, 청색의 색상을 지닌 각 부화소들이 도 1과 같은 스트라이프 상으로 배열되어 있지 않고, 격자상으로 배열되어 있을 경우에는 이에 따라 각 제 2 활성층들의 방향도 격자상으로 서로 다르게 배열될 것이다. 그리고, 만일 각 부화소의 색상이 적, 녹, 청 외에 다른 색상으로 구성되어 있을 경우, 그 색상별로 결정립의 형상을 달리하여 배치될 수 있다.

<65> 한편, 본 발명의 바람직한 일 실시예에 따르면, 상기 제 1 활성층(11r)(11g)(11b) 및 제 2 활성층(21r)(21g)(21b)은 다결정질 실리콘 박막에 의해 형성될 수 있다. 그리고, 도 1에서 볼 수 있는 바와 같이, 적어도 상기 제 2 활성층(21r)(21g)(21b)은 그 결정립의 모양이 적(R), 녹(G), 청(B)색의 화소별로 각각 다르게 구비되어 있다. 이 때, 이 제 2 활성층(21r)(21g)(21b) 중 그 중앙부분인 채널 영역의 결정립이 이렇게 서로 다른 모양을 갖도록 하면 충분하나, 구조 설계의 복잡성으로 인하여 제 2 활성층 전체, 이에 더 나아가 각 단일 부화소 전체의 결정립의 모양이 서로 다르게 되도록 하였다. 이하 설명될 본 발명의 바람직한 실시예들에 있어서는 이처럼 각 부화소별로 결정립의 종류를 달리하였으나, 본 발명은 반드시 이에 한정되는 것은 아니며, 각 표시화소의 제 1 활성층들(11r)(11g)(11b)은 모두 동일한 결정 구조가 되도록 할 수도 있다.

<66> 본 발명의 바람직한 일 실시예에 의하면, 이처럼 구동 박막 트랜지스터로 사용되는 제 2 TFT의 활성층의 채널 영역을 적, 녹, 청색의 각 표시화소별로 그 결정립의 모양이 서로 다르게 되도록 함에 따라 활성층의 크기를 동일하게 하고, 동일한 구동전압에 대해

서도 화이트 밸런스를 맞출 수 있도록 할 수 있다. 이하에서는 이러한 원리를 보다 상세히 설명한다.

<67> 전술한 바와 같이, 유기 전계 발광표시장치에 있어서는 적, 녹, 청색의 각 부화소가 그 발광층의 발광 효율이 차이가 남으로 인하여 휘도에 차이가 나고, 이에 따라 동일 전류값에 대해서는 화이트 밸런스를 맞출 수가 없었다. 표 1에는 현재 유기 전계 발광표시장치에서 일반적으로 널리 사용되는 적, 녹, 청색의 유기 발광층의 발광 효율과 화이트 밸런스를 만족하기 위해 적, 녹, 청색의 각 부화소에 흘려줘야 할 전류값을 나타내었다.

<68> 【표 1】

	적색	녹색	청색
효율(Cd/A)	6.72	23.37	4.21
부화소 전류(μ A)	0.276	0.079	0.230
부화소 전류비	3.5	1	2.9

<69> 위의 표 1에서 볼 수 있는 바와 같이, 화이트 밸런스를 만족하기 위해 흘려야 하는 전류 값은 녹색 부화소가 가장 작고, 청색 부화소가 그 다음이며, 적색 부화소가 가장 많은 전류가 흘려야 함을 알 수 있다.

<70> 이러한 전류 값의 차이는 발광 소자에 전류를 공급하는 구동 박막 트랜지스터인 도 1의 제 2 TFT(20r)(20g)(20b)의 활성층의 결정립의 모양을 서로 다르게 함에 의해 달성되도록 할 수 있다. 즉, 적(R), 녹(G), 청(B)색의 각 부화소의 제 2 TFT(20r)(20g)(20b)의 활성층을 도 2에서 볼 수 있듯이, 그 결정립의 모양이 서로 다르게 되도록 형성함으로써 각 부화소의 발광 소자, 예컨대 유기 전계 발광 소자에 공급되는 전류값이 달라지는 것이다.

<71> 이는 다시 말해, 상기 제 2 TFT(20r)(20g)(20b)의 활성층인 제 2 활성층(21r)(21g)(21b)의 결정립의 모양이 동일 구동전압에서 각 표시화소를 흐르는 전류값에 의해 결정되도록 하는 것이다. 따라서, 화이트 밸런스를 맞추기 위해 가장 발광효율이 높은 녹색 표시화소(G)의 전류값이 가장 낮게 되도록 녹색 표시화소(G)의 제 2 TFT(20g)의 제 2 활성층(21r)의 방향을 맞춰야 하고, 바람직하게는 각 표시화소의 전류값이 적색, 청색 및 녹색 표시화소의 순으로 낮아지도록 적색 제 2 TFT(20r), 청색 제 2 TFT(20b), 녹색 제 2 TFT(20g)의 각 제 2 활성층(21r)(21g)(21b)의 결정립의 모양을 조절해야 한다. 즉, 적색 부화소의 전류값이 가장 크게 되도록 적색 제 2 활성층(21r)의 결정립의 모양을 결정하고, 청색 부화소의 전류값이 그보다 작게 되도록 청색 제 2 활성층(21b)의 결정립의 모양을 결정하며, 녹색 부화소의 전류값이 가장 작게 되도록 녹색 제 2 활성층(21g)의 결정립의 모양을 결정하는 것이다. 이에 따라 표 1에서 볼 수 있듯이, 각 부화소의 휘도가 보완이 되어 화이트 밸런스가 맞춰질 수 있는 것이다.

<72> 이렇게 제 2 TFT의 활성층의 결정립의 모양은 활성층의 채널 영역의 전류 이동도에 따라서도 결정될 수 있다. 이는 활성층의 채널 영역에서의 전류 이동도가 크면 더 많은 양의 전류가 흐를 수 있고, 채널 영역에서의 전류 이동도가 작으면 더 적은 양의 전류가 흐를 수 있기 때문이다.

<73> 따라서, 화이트 밸런스를 맞추기 위해 가장 발광효율이 높은 녹색 부화소의 전류 이동도가 가장 낮게 되도록 녹색 부화소의 제 2 TFT(20g)의 활성층의 모양을 맞춰야 하고, 바람직하게는 각 부화소의 제 2 TFT의 활성층 채널 영역의 전류 이동도가 적색, 청색 및 녹색 부화소의 순으로 낮아지도록 적색 제 2 TFT(20r), 청색 제 2 TFT(20b), 녹색 제 2 TFT(20g)의 각 활성층의 모양을 조절해야 한다. 즉, 적색 부화소의 적색 제 2 활

성층(21r)의 채널영역의 전류 이동도가 가장 크게 되도록 적색 제 2 활성층(21r)의 모양을 결정하고, 청색 부화소의 청색 제 2 활성층(21b)의 채널영역의 전류 이동도가 그보다 적게 되도록 청색 제 2 활성층(21b)의 모양을 결정하며, 녹색 부화소의 녹색 제 2 활성층(21g)의 채널영역의 전류 이동도가 가장 작게 되도록 녹색 제 2 활성층(21g)의 모양을 결정하는 것이다. 이에 따라 각 부화소에서의 전류값은 전술한 바와 같은 차이를 나타내고, 각 부화소의 휘도는 보완이 되어 화이트 밸런스가 맞춰질 수 있는 것이다.

<74> 이러한 전류값 및 전류 이동도의 차이는 활성층을 형성하는 다결정질 실리콘 박막의 결정 구조에 따라서 변화될 수 있는 데, 즉, 각 부화소에서의 활성층이 서로 다른 결정 구조의 다결정질 실리콘 박막에 형성되도록 함으로써 전술한 바와 같은 전류값의 차이 및 전류 이동도의 차이의 효과를 얻을 수 있는 것이다.

<75> 도 2에서 볼 수 있는 바와 같이, 본 발명의 바람직한 일 실시예에 따르면, 다결정질 실리콘 박막은 비정질 실리콘 박막을 공지의 순차 측면 고상화법(SLS: Sequential Lateral Solidification, 이하, "SLS법"이라 함)에 의해 결정화할 수 있다. 이 때, 각 부화소의 제 2 박막 트랜지스터의 활성층의 채널영역이 다른 결정 모양을 갖도록 하기 위하여, 서로 다른 색상의 화소별로 서로 다른 결정 모양을 갖도록 하였다. 상기 SLS법은 실리콘의 결정립(Grain)이 액상과 고상의 경계면에서 그 경계면에 대하여 수직인 방향으로 성장한다는 사실을 이용한 것으로, 마스크를 이용하여 레이저 빔을 투과시켜 비정질 실리콘의 일부를 용융시키고, 이 용융된 실리콘의 부분과 용융되지 않은 실리콘의 부분의 경계로부터 용융된 실리콘의 부분으로 결정성장이 이루어지도록 함으로써 결정화를 이루는 것이다.

- <76> 도 2에서 볼 수 있는 바와 같은 결정구조는 상기 SLS법을 적용함에 있어서, 각 화소별로 서로 다른 마스크를 사용함으로써 얻을 수 있다.
- <77> 먼저, 적색 화소(R)의 결정구조(61)는 서로 평행한 직선상의 제 1 결정입계(primary grain boundary:61a)가 복수개 형성되어 있고, 이에 대략 수직한 방향으로 제 2 결정입계(secondary grain boundary:61b)가 형성되어 있다. 이러한 결정구조(61)는 스트라이프 형태의 레이저 빔 투과 영역을 갖는 마스크를 이용하여 스트라이프 형태로 용융시켜 결정화한 것으로, 이 결정 구조(61)에 구동 박막 트랜지스터의 활성층을 형성하면 활성층의 채널영역과 제 1 결정입계(61a)가 이루는 각도에 따라 도 3과 같은 전류 이동도의 차이를 얻을 수 있다. 즉, 활성층의 채널영역과 제 1 결정입계가 수직을 이룰 때에 그 전류 이동도가 가장 크게 되고, 서로 평행을 이룰 때에 그 전류 이동도가 가장 작게 된다. 이에 따라 적색 부화소의 제 2 활성층(21r)의 채널영역(Cr)은 제 1 결정입계(61a)에 수직하도록 하여 높은 전류 이동도를 얻을 수 있도록 한다.
- <78> 다음으로, 녹색 부화소의 결정구조(62)는 결정립의 크기가 매우 작게 형성된 무정형 결정 모양을 이루도록 한다. 이는 SLS법에서 플러드 래디에이션(flood radiation)방법에 의한 것으로, 마스크없이 레이저 조사에 의해 복수개의 결정핵을 형성한 후 결정성장을 이뤄 미세하고 치밀한 분포의 결정립을 얻는 것이다. 이러한 무정형의 결정 구조에도 2에서 볼 수 있듯이, 제 2 박막 트랜지스터의 제 2 활성층(21g)을 형성하면 그 전류 이동도를 낮출 수 있다.
- <79> 한편, 청색 부화소의 결정구조(63)는 제 1 결정입계(primary grain boundary:61a)가 대략 사각형상을 띠게 되는 데, 이는 SLS법에서, 스트라이프 형태의 레이저 빔 투과 영역과 도트(dot)형태의 레이저 빔 차폐 영역이 혼합된 마스크를 이용하여 제조할 수 있

는 데, 이러한 사각형 결정 구조에 도 2에서 볼 수 있듯이, 제 2 박막 트랜지스터의 제 2 활성층(21b)을 형성하면, 적색 부화소의 결정구조(61)의 전류 이동도와, 녹색 표시화소(G)의 결정구조(62)의 전류 이동도의 사이 값에 해당되는 전류 이동도 값을 얻을 수 있다.

<80> 상기와 같이 적색 화소(R), 녹색 화소(G) 및 청색 화소(B)별로 각 부화소들의 결정 모양을 달리 형성하고, 이에 각각 제 2 활성층들(21r)(21g)(21b)을 형성하면, 그 전류 이동도가 서로 차이가 나게 되고, 이에 따라 동일 구동전압에 대한 각 부화소들의 전류 값도 달라져 이를 조절함으로써 화이트 밸런스를 이룰 수 있는 것이다. 즉, 도 4에서 볼 수 있듯이, 각 화소들(R)(G)(B)의 부화소별로 전류 이동도의 비가 차이가 나게 되고, 스트라이프 형태의 결정 모양을 가진 적색 부화소의 경우가 무정형 결정 모양을 가진 녹색 부화소의 경우보다 그 전류 이동도가 대략 5배 정도 차이가 나게 됨을 알 수 있다. 아울러, 사각형 결정 모양을 가진 청색 부화소의 경우가 무정형 결정 모양을 가진 녹색 부화소의 경우보다 전류 이동도가 대략 3배 정도 차이가 남을 알 수 있다. 따라서, 이러한 결정구조의 변화만으로도 화이트 밸런스를 만족시키기 위한 전류비 차이를 극복할 수 있게 된다.

<81> 한편, 상술한 바와 같은 효과는 도 5에서 볼 수 있는 바와 같이, 각 부화소의 활성층의 적어도 채널영역을 형성하는 결정립의 크기가 서로 다르게 함으로써 얻어질 수 있다. 도 5에 따른 본 발명의 바람직한 다른 일 실시예는 엑시머 레이저 어닐링(Excimer Laser Annealing: ELA, 이하, "ELA"라 함)법에 따라 결정화한 것으로, 각 표시화소별로 서로 다른 에너지를 조사함으로써 그 결정 크기를 다르게 할 수 있다.

- <82> 먼저, ELA법에 있어, 조사되는 레이저의 에너지 밀도에 따라 도 6에서 볼 수 있는 바와 같이, 그 결정립의 크기가 서로 다르게 형성된다. 도 6에서는 500Å의 비정질 실리콘 박막을 ELA법에 의해 결정화함에 있어서, 조사되는 레이저의 에너지 밀도에 따른 결정립 크기의 차이를 나타낸 것이다.
- <83> 도 6에서 볼 때, 영역 I은 비교적 낮은 에너지 밀도로 조사해 비정질 실리콘에 부분 용융(Partial melting)이 일어나도록 하는 경우로, 비정질 실리콘의 부분적인 용융으로 그 결정립은 수직방향으로 성장해 작은 크기의 결정립을 형성한다.
- <84> 영역 II는 이보다 높은 에너지 밀도로 조사해 비정질 실리콘에 근사 완전 용융(Near complete melting)이 일어나도록 하는 경우로, 결정성장은 용융되지 않은 소수의 고상 결정핵으로부터 측방으로 성장해 크기가 큰 결정립을 형성한다.
- <85> 영역 III은 가장 높은 에너지 밀도로 조사해 비정질 실리콘에 완전 용융(Complete melting)이 일어나도록 하는 경우로, 과냉(supercooling)에 의해 다수의 결정핵이 발생하도록 하여 이로부터 미세한 결정립의 성장이 이루어지도록 하는 것이다.
- <86> 이렇게 결정립의 크기가 서로 다르게 형성될 경우, 이에 따른 전류 이동도도 다르게 나타나는 데, 즉, 도 7에서 볼 수 있듯이, 결정립의 크기가 커질수록 전류 이동도가 커져 거의 직선식에 가까운 관계가 됨을 알 수 있다.
- <87> 이러한 도 6 및 도 7에 의해, 가장 큰 결정립을 형성할 수 있는 영역 II에 따라 결정화할 경우 가장 큰 전류 이동도를 얻을 수 있고, 가장 작은 결정립을 형성할 수 있는 영역 III에 따라 결정화할 경우 가장 작은 전류 이동도를 얻을 수 있음을 알 수 있다.

- <88> 따라서, 도 5에서 볼 수 있는 바와 같이, 적색 표시화소(R)의 부화소들의 결정구조(64)는 도 6의 영역 II에서 결정화하여 그 결정립의 크기가 가장 크게 되도록 해, 가장 큰 전류 이동도를 얻을 수 있도록 한다.
- <89> 다음으로, 녹색 표시화소(G)의 부화소들의 결정구조(65)는 도 6의 영역 III에서 결정화하여 그 결정립의 크기가 가장 작게 되도록 하고, 이에 따라 가장 낮은 전류 이동도를 얻도록 한다.
- <90> 한편, 청색 표시화소(B)의 부화소들의 결정구조(66)는 적색 표시화소(R)와 녹색 표시화소(G)의 사이 값에 해당하는 전류 이동도를 얻어야 하므로, 도 6에서 영역 I 과 영역 II의 사이에 해당하는 에너지 밀도로 결정화한다.
- <91> 상기와 같이 적색 표시화소(R), 녹색 표시화소(G) 및 청색 표시화소(B)별로 그 부화소들의 결정크기를 달리 형성하고, 이에 각각 제 2 활성층들(21r)(21g)(21b)을 형성하면, 그 전류 이동도가 서로 차이가 나게 되고, 이에 따라 동일 구동전압에 대한 각 부화소들의 전류값도 달라져 이를 조절함으로써 화이트 밸런스를 이룰 수 있다.
- <92> 상술한 바와 같은 본 발명의 바람직한 다른 일 실시예에 있어서도, 각 부화소별로 결정립의 종류를 달리하였으나, 전술한 바와 같이, 각 부화소의 제 1 활성층들(11r)(11g)(11b)은 모두 전류 이동도가 좋은 동일한 결정 구조가 되도록 할 수 있고, 구동 TFT인 제 2 활성층들(21r)(21g)(21b)의 경우만 서로 다른 크기의 결정 구조를 갖도록 할 수도 있음은 물론이다.
- <93> 이상 설명한 바와 같은 유기 전계 발광 표시장치의 각 부화소는 도 8 내지 도 11에서 볼 수 있는 바와 같은 구조를 갖는다.

- <94> 도 8은 도 1, 도 2 및 도 5의 부화소들 중 불특정한 어느 한 부화소를 나타내는 것으로, 그 도면 부호도 특정 부화소를 나타내는 것이 아닌 불특정한 부화소에 대한 것이다. 도 9는 도 8에서 볼 수 있는 불특정한 단위 부화소에 대한 등가회로도를 도시한 것이다.
- <95> 먼저, 도 7을 참조하여 볼 때, 본 발명의 바람직한 일 실시예에 따른 액티브 매트릭스 유기전계 발광표시장치의 각 부화소는 스위칭용인 제 1 TFT(10)와, 구동용인 제 2 TFT(20)의 적어도 2개의 박막 트랜지스터와, 하나의 캐패시터(30) 및 하나의 유기 전계 발광 소자(이하, "EL소자"라 함, 40)로 이루어진다. 상기와 같은 박막 트랜지스터 및 캐패시터의 개수는 반드시 이에 한정되는 것은 아니며, 이보다 더 많은 수의 박막 트랜지스터 및 캐패시터를 구비할 수 있음은 물론이다.
- <96> 상기 제 1 TFT(10)는 게이트 라인(51)에 인가되는 스캔(Scan) 신호에 구동되어 데이터 라인(52)에 인가되는 데이터(data) 신호를 전달하는 역할을 한다. 상기 제 2 TFT(20)는 상기 제 1 TFT(10)를 통해 전달되는 데이터 신호에 따라서, 즉, 게이트와 소오스 간의 전압차(V_{gs})에 의해서 EL소자(40)로 유입되는 전류량을 결정한다. 상기 캐패시터(30)는 상기 제 1 TFT(10)를 통해 전달되는 데이터 신호를 한 프레임동안 저장하는 역할을 한다.
- <97> 이러한 회로를 구현하기 위하여, 도 8, 도 10 및 도 11과 같은 구조를 갖는 유기 전계 발광 표시장치를 형성하는 데, 이를 보다 상세히 설명하면 다음과 같다.
- <98> 도 8, 도 10 및 도 11에 나타난 바와 같이, 글라스재의 절연기판(1)에 버퍼층(2)이 형성되어 있고, 이 버퍼층(2) 상부로 제 1 TFT(10), 제 2 TFT(20), 캐패시터(30) 및 EL소자(40)가 구비된다.

<99> 도 8 및 도 10에 도시된 바와 같이 상기 제 1 TFT(10)는 게이트 라인(51)에 접속되어 TFT 온/오프 신호를 인가하는 게이트 전극(13)과, 게이트 전극(13)의 상부에 형성되고 데이터 라인(52)과 접속되어 제 1 활성층(11)에 데이터 신호를 공급하는 소스 전극(14)과, 제 1 TFT(10)와 캐패시터(30)를 연결시켜 캐패시터(30)에 전원을 공급하는 드레인 전극(15)으로 구성된다. 제 1 활성층(11)과 게이트 전극(13)의 사이에는 게이트 절연막(3)이 구비되어 있다.

<100> 충전용 캐패시터(30)는 제 1 TFT(10)와 제 2 TFT(20) 사이에 위치되어 한 프레임 동안 제 2 TFT(20)를 구동시키는 데 필요한 구동전압을 저장하는 것으로, 도 6 및 도 8에서 볼 수 있듯이, 제 1 TFT(10)의 드레인 전극(15)과 접속되는 제 1 전극(31), 제 1 전극(31)의 상부에 제 1 전극(31)과 오버랩되도록 형성되고, 전원 인가선인 구동라인(53)과 전기적으로 연결되는 제 2 전극(32) 및 제 1 전극(31)과 제 2 전극(32)의 사이에 형성되어 유전체로서 사용되는 층간 절연막(4)으로 구비될 수 있다. 물론 이러한 충전용 캐패시터(30)의 구조는 반드시 이에 한정되는 것은 아니며, TFT의 실리콘 박막과 게이트 전극의 도전층이 제 1 및 제 2 전극으로 사용되고, 게이트 절연층이 유전층으로 사용될 수도 있으며, 이 외에도 다양한 방법에 의해 형성 가능하다.

<101> 제 2 TFT(20)는 도 8 및 도 11에서 볼 수 있듯이, 캐패시터(30)의 제 1 전극(31)과 연결되어 TFT 온/오프 신호를 공급하는 게이트 전극(23)과, 게이트 전극(23)의 상부에 형성되고 구동 라인(53)과 접속되어 제 2 활성층(21)에 구동을 위한 기준전압(reference)를 공급하는 소스 전극(24)과, 제 2 TFT(20)와 EL 소자(40)를 연결시켜 EL 소자(40)에 구동 전원을 인가하는 드레인 전극(25)으로 구성된다. 제 2 활성층(21)과 게이트 전극(23)의 사이에는 게이트 절연막(3)이 구비되어 있다. 여기서, 제 2 활성층(21)

의 채널 영역은 전술한 바와 같이, 화소의 색상에 따라 그 결정립의 모양이나 크기가 달라지도록 할 수 있다.

<102> 한편, EL 소자(40)는 전류의 흐름에 따라 적, 녹, 청색의 빛을 발광하여 소정의 화상 정보를 표시하는 것으로, 도 8 및 도 11에서 볼 수 있듯이, 제 2 TFT(20)의 드레인 전극(25)에 연결되어 이로부터 플러스 전원을 공급받는 애노우드 전극(41)과, 전체 화소를 덮도록 구비되어 마이너스 전원을 공급하는 캐소우드 전극(43), 및 이들 애노우드 전극(41)과 캐소우드 전극(43)의 사이에 배치되어 발광하는 유기 발광막(42)으로 구성된다. 도면에서 미설명부호 5는 SiO₂ 등으로 이루어진 절연성 패시베이션막이고, 6은 아크릴 등으로 이루어진 절연성 평탄화막이다.

<103> 이상 설명한 바와 같은 본 발명의 바람직한 실시예에 따른 유기 전계 발광 표시장치의 층상 구조는 반드시 상술한 바에 한정되는 것은 아니고, 이와 다른 어떠한 구조도 본 발명이 적용될 수 있음은 물론이다.

<104> 이러한 유기 전계 발광 표시장치는 그 구동 TFT인 제 2 TFT의 제 2 활성층의 적어도 채널영역을 각 부화소들의 색상별로 그 결정립의 크기 또는 모양이 서로 다르게 되도록 함으로써 각 색상의 표시화소별로 그 전류 이동도가 다르게 되도록 하고, 이에 따라 동일한 구동전압에서도 각각 다른 전류값이 흘러 전체적으로 화이트 밸런스를 맞출 수 있게 된다. 뿐만 아니라, 각 부화소들의 EL소자에 필요한 적정치의 전류값을 공급할 수 있으므로, 소자의 내구성을 향상시킬 수 있다.

<105> 다음으로, 상술한 바와 같은 구조를 가진 본 발명의 바람직한 일 실시예에 따른 유기 전계 발광 표시장치의 제조방법의 일 실시예를 설명한다.

- <106> 먼저, 도 10 및 도 11에서 볼 수 있듯이, 글라스(Glass)재의 절연 기판(1) 상에 버퍼층(2)을 형성한다. 상기 버퍼층(2)은 SiO_2 로 형성할 수 있으며, PECVD법, APCVD법, LPCVD법, ECR법 등에 의해 증착될 수 있다. 그리고, 이 버퍼층(2)은 대략 3000Å 정도로 증착 가능하다.
- <107> 상기 버퍼층(2)의 상부에는 비정질 실리콘 박막이 증착되는 데, 대략 500Å 정도로 증착시킬 수 있다. 상기와 같은 비정질 실리콘 박막은 다양한 방법에 의해 다결정질 실리콘 박막으로 결정화시킬 수 있다. 이 때, 결정화된 다결정질 실리콘 박막은 도 2 또는 도 5에서 볼 수 있는 바와 같이 각 부화소들의 색상별로, 또는 각 부화소의 제 2 TFT의 제 2 활성층에 대응되는 부분별로 서로 다른 결정구조를 갖도록 한다.
- <108> 이는 전술한 바와 같이, 도 2와 같은 결정구조를 얻기 위하여는 SLS법에 의해 그 마스크 종류를 달리하여 결정의 모양을 적색 표시화소(R)의 경우 제 1 결정입계(61a), 제 2 결정입계(61b)를 갖는 스트라이프 형태가 되도록 하고, 녹색 표시화소(G)의 경우 무정형의 결정구조(62)가 되도록 하며, 청색 표시화소(B)의 경우 제 1 결정입계(63a)가 사각형인 사각형상의 결정구조(63)가 되도록 한다. 그리고, 도 5와 같은 결정구조를 얻기 위하여는 ELA법에 의해 도 6과 같은 서로 다른 에너지 밀도로 레이저 빔을 조사하여 적색 표시화소(R)의 경우 가장 큰 크기의 결정립을 갖는 결정구조(64)가 되도록 하고, 녹색 표시화소(G)의 경우 가장 작은 크기의 결정립을 갖는 결정구조(65)가 되도록 하며, 청색 표시화소(B)의 경우 적색 표시화소(R)와 녹색 표시화소(G)의 사이 값에 해당하는 크기의 결정립을 갖는 결정구조(66)가 되도록 한다.

- <109> 이러한 다결정질 실리콘 박막을 형성한 후에는 그 위로 도 2 및 도 5에서 볼 수 있듯이, 각 표시화소별로 제 1 TFT(10r)(10g)(10b)의 제 1 활성층(11r)(11g)(11b)과, 제 2 TFT(20r)(20g)(20b)의 제 2 활성층(21r)(21g)(21b)을 패터닝한다.
- <110> 이렇게 활성층의 패터닝을 행한 후에는 그 위로 SiO₂ 등에 의해 게이트 절연막을 PECVD법, APCVD법, LPCVD법, ECR법 등에 의해 증착하여 형성하고, MoW, Al/Cu 등으로 도전막을 성막한 후 패터닝하여 게이트 전극을 형성한다. 상기 활성층, 게이트 절연막, 게이트 전극은 다양한 순서 및 방법에 의해 패터닝이 가능하다.
- <111> 활성층, 게이트 절연막, 게이트 전극의 패터닝이 끝난 후에는 그 소스 및 드레인 영역에 N형 또는 P형 불순물을 도핑한다.
- <112> 이렇게 도핑 공정이 끝난 후에는 도 10 및 도 11에서 볼 수 있듯이, 층간 절연막(4) 및 패시베이션막(5)을 형성한 후 컨택 홀을 통해 소스 전극(14)(24) 및 드레인 전극(15)(25)을 활성층(11)(21)에 접속하고, 평탄화막(6)을 형성한다.
- <113> 한편, 제 2 TFT(20)에 접속하는 EL 소자(40)는 다양한 방법에 의해 형성될 수 있는데, 먼저, ITO에 의해 제 2 TFT(20)의 드레인 전극(15)에 접속하는 애노우드 전극(41)을 형성한 후 패터닝하고, 그 위로 유기막(42)을 형성한다. 이 때, 상기 유기막(42)은 저분자 또는 고분자 유기막이 사용될 수 있다.
- <114> 먼저, 저분자 유기막을 사용할 경우 홀 주입층, 홀 수송층, 유기 발광층, 전자 수송층, 전자 주입층 등이 단일 혹은 복합의 구조로 적층되어 형성될 수 있으며, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘 (N,N'-Di(naphthalene-1-yl)-N,N'-diphenyl-benzidine: NPB)

, 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯해 다양하게 적용 가능하다. 이들 저분자 유기막은 진공증착의 방법으로 형성된다.

<115> 고분자 유기막의 경우에는 홀 수송층(HTL) 및 발광층(EML)으로 구비된 구조를 가질 수 있으며, 이 때, 상기 홀 수송층으로 PEDOT를 사용하고, 발광층으로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등 고분자 유기물질을 사용하며, 이를 스크린 인쇄나 잉크젯 인쇄방법으로 형성한다.

<116> 이렇게 유기막을 형성한 후에는 Al/Ca 등으로 캐소드 전극(43)을 전면 증착하거나, 패터닝하여 형성할 수 있다. 그리고, 캐소드 전극(43)의 상부는 글라스 또는 메탈 캡에 의해 밀봉된다.

<117> 이상 설명한 것은 본 발명을 유기 전계 발광 표시장치에 적용한 경우이나, 본 발명은 이에 한정되는 것이 아니며, 액정 표시장치나, 무기 전계 발광 표시장치 등 화소 구동용 소자로서 TFT를 이용할 수 있는 어떠한 구조에든 적용될 수 있음은 물론이다.

【발명의 효과】

<118> 상기한 바와 같은 본 발명에 따르면, 다음과 같은 효과를 얻을 수 있다.

<119> 첫째, TFT의 활성층의 크기나, 구동전압을 변경하지 않고 동일 크기의 활성층을 갖고도 화이트 밸런스를 맞출 수 있다.

<120> 둘째, 부화소별로 적절한 전류를 공급하므로, 적정 휘도를 얻을 수 있고, 수명 열화를 방지할 수 있다.

<121> 셋째, 각 부화소당 구동 TFT가 차지하는 면적을 증가시키지 않고 소자에 흐르는 전류량만을 조절하여 줌으로써, 개구율의 감소문제를 해결하고, 신뢰성을 향상시킬 수 있다.

<122> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

자발광 소자를 구비한 복수개의 부화소를 포함하는 화소들; 및

상기 각 부화소에 구비되어 적어도 채널 영역을 갖는 반도체 활성층을 구비하고, 상기 자발광 소자에 각각 접속되어 전류를 공급하는 것으로, 상기 활성층의 적어도 채널 영역이 상기 부화소별로 그 결정립의 형상이 서로 다르게 구비된 구동 박막 트랜지스터;를 포함하는 것을 특징으로 하는 평판표시장치.

【청구항 2】

제1항에 있어서,

상기 부화소들은 적어도 두 개의 서로 다른 색상을 갖도록 구비된 것을 특징으로 하는 평판표시장치.

【청구항 3】

제2항에 있어서,

상기 채널 영역은 상기 부화소의 색상별로 그 결정립의 형상이 서로 다르게 구비된 것을 특징으로 하는 평판표시장치.

【청구항 4】

제1항에 있어서,

상기 각 채널 영역의 결정립의 형상은 상기 각 부화소를 흐르는 전류값에 의해 결정되는 것을 특징으로 하는 평판표시장치.

【청구항 5】

제1항에 있어서,

상기 각 채널 영역의 결정립의 형상은 상기 각 채널영역의 전류 이동도에 의해 결정되는 것을 특징으로 하는 평판표시장치.

【청구항 6】

제1항에 있어서,

상기 채널 영역의 결정립의 형상은 상기 채널 영역을 형성하는 결정립의 크기에 의해 결정되는 것을 특징으로 하는 평판 표시장치.

【청구항 7】

제6항에 있어서,

상기 채널 영역의 결정립의 크기는 동일 구동전압 하에서 상기 각 부화소들에 흐르는 전류값에 비례하게 되도록 결정되는 것을 특징으로 하는 평판 표시장치.

【청구항 8】

제6항에 있어서,

상기 채널 영역의 결정립의 크기는 상기 각 채널 영역의 전류 이동도에 비례하게 되도록 결정되는 것을 특징으로 하는 평판 표시장치.

【청구항 9】

제1항에 있어서,

상기 채널 영역의 결정립의 형상은 상기 채널 영역을 형성하는 결정립의 모양에 의해 결정되는 것을 특징으로 하는 평판 표시장치.

【청구항 10】

제9항에 있어서,

상기 채널 영역의 결정립의 모양은 동일 구동전압 하에서 가장 적은 전류가 흐르는 부화소들의 적어도 채널 영역이 무정형의 결정입계를 갖도록 결정되는 것을 특징으로 하는 평판 표시장치.

【청구항 11】

제10항에 있어서,

상기 채널 영역의 결정립의 모양은 동일 구동전압 하에서 상기 무정형의 결정입계를 갖는 부화소들보다 많은 전류가 흐르는 부화소들의 적어도 채널 영역의 결정립이 평행하게 배열된 제1결정입계와, 상기 제 1결정입계의 사이에 상기 제1결정입계에 대략 수직하도록 연장된 제2결정입계를 갖는 것으로, 상기 제1결정입계가 스트라이프 형상이거나, 사각형상이 되도록 결정되는 것을 특징으로 하는 평판 표시장치.

【청구항 12】

제9항에 있어서,

상기 채널 영역의 결정립의 모양은 동일 구동전압 하에서 가장 많은 전류가 흐르는 부화소들의 적어도 채널 영역의 결정립이 평행하게 배열된 제1결정입계와, 상기 제 1결정입계의 사이에 상기 제1결정입계에 대략 수직하도록 연장된 제2결정입계를 갖는 것으로, 상기 제1결정입계가 스트라이프 형상인 되도록 결정되는 것을 특징으로 하는 평판 표시장치.

【청구항 13】

제9항에 있어서,

상기 채널 영역의 결정립의 모양은 가장 낮은 전류 이동도를 갖는 부화소들의 적어도 채널 영역이 무정형의 결정입계를 갖도록 결정되는 것을 특징으로 하는 평판 표시장치.

【청구항 14】

제13항에 있어서,

상기 채널 영역의 결정립의 모양은 상기 무정형의 결정입계를 갖는 부화소들보다 높은 전류 이동도를 갖는 부화소들의 적어도 채널 영역의 결정립이 평행하게 배열된 제1결정입계와, 상기 제 1결정입계의 사이에 상기 제1결정입계에 대략 수직하도록 연장된 제2결정입계를 갖는 것으로, 상기 제1결정입계가 스트라이프 형상이거나, 사각형상이 되도록 결정되는 것을 특징으로 하는 평판 표시장치.

【청구항 15】

제9항에 있어서,

상기 채널 영역의 결정립의 모양은 가장 높은 전류 이동도를 갖는 부화소들의 적어도 채널 영역의 결정립이 평행하게 배열된 제1결정입계와, 상기 제 1결정입계의 사이에 상기 제1결정입계에 대략 수직하도록 연장된 제2결정입계를 갖는 것으로, 상기 제1결정입계가 스트라이프 형상인 결정입계를 갖도록 결정되는 것을 특징으로 하는 평판 표시장치.

【청구항 16】

자발광 소자를 구비한 적색, 녹색 및 청색의 부화소들을 포함하는 화소들; 및
상기 각 부화소에 구비되어 적어도 채널 영역을 갖는 반도체 활성층을 구비하고,
상기 자발광 소자에 각각 접속되어 전류를 공급하는 것으로, 상기 활성층의 적어도 채널
영역이 상기 부화소의 색상별로 그 결정립의 형상이 서로 다르게 구비된 구동 박막 트랜
지스터;를 포함하는 것을 특징으로 하는 평판표시장치.

【청구항 17】

제16항에 있어서,
상기 채널 영역의 결정립의 형상은 상기 채널 영역을 형성하는 결정립의 크기에 의
해 결정되는 것을 특징으로 하는 평판 표시장치.

【청구항 18】

제17항에 있어서,
상기 각 채널 영역의 결정립의 크기는 상기 녹색 부화소들을 흐르는 전류값이 가장
낮게 되도록 결정되는 것을 특징으로 하는 평판 표시장치.

【청구항 19】

제17항에 있어서,
상기 각 채널 영역의 결정립의 크기는 동일 구동전압 하에서 각 부화소들을 흐르는
전류값이 적색, 청색 및 녹색 부화소들의 순으로 낮아지도록 결정되는 것을 특징으로 하
는 평판 표시장치.

【청구항 20】

제17항에 있어서,

상기 각 채널 영역의 결정립의 크기는 상기 녹색 부화소들의 활성층의 채널 영역의 전류 이동도가 가장 낮게 되도록 결정되는 것을 특징으로 하는 평판 표시장치.

【청구항 21】

제17항에 있어서,

상기 각 채널 영역의 결정립의 크기는 상기 각 부화소들의 활성층의 채널영역의 전류 이동도가 적색, 청색 및 녹색 부화소들의 순으로 낮아지도록 결정되는 것을 특징으로 하는 평판 표시장치.

【청구항 22】

제17항에 있어서,

상기 각 채널 영역의 결정립의 크기는 적색, 청색 및 녹색 부화소들의 순으로 작아지도록 결정되는 것을 특징으로 하는 평판 표시장치.

【청구항 23】

제16항에 있어서,

상기 채널 영역의 결정립의 형상은 상기 채널 영역을 형성하는 결정립의 모양에 의해 결정되는 것을 특징으로 하는 평판 표시장치.

【청구항 24】

제23항에 있어서,

상기 각 채널 영역의 결정립의 모양은 상기 녹색 부화소들을 흐르는 전류값이 가장 낮게 되도록 결정되는 것을 특징으로 하는 평판 표시장치.

【청구항 25】

제23항에 있어서,

상기 각 채널 영역의 결정립의 모양은 동일 구동전압 하에서 각 부화소들을 흐르는 전류값이 적색, 청색 및 녹색 부화소들의 순으로 낮아지도록 결정되는 것을 특징으로 하는 평판 표시장치.

【청구항 26】

제23항에 있어서,

상기 각 채널 영역의 결정립의 모양은 상기 녹색 부화소들의 활성층의 채널 영역의 전류 이동도가 가장 낮게 되도록 결정되는 것을 특징으로 하는 평판 표시장치.

【청구항 27】

제23항에 있어서,

상기 각 채널 영역의 결정립의 모양은 상기 각 부화소들의 활성층의 채널영역의 전류 이동도가 적색, 청색 및 녹색 부화소들의 순으로 낮아지도록 결정되는 것을 특징으로 하는 평판 표시장치.

【청구항 28】

제23항에 있어서,

상기 각 채널 영역의 결정립 중 적색 부화소들의 적어도 채널 영역의 결정립이 평행하게 배열된 제1결정입계와, 상기 제 1결정입계의 사이에 상기 제1결정입계에 대략 수

직하도록 연장된 제2결정입계를 갖는 것으로, 상기 제1결정입계가 상기 적색 부화소의 활성층의 길이방향에 수직하게 구비된 스트라이프 형상인 것을 특징으로 하는 평판 표시장치.

【청구항 29】

제23항에 있어서,

상기 각 채널 영역의 결정립 중 녹색 부화소들의 적어도 채널 영역은 무정형의 결정입계를 갖는 것을 특징으로 하는 평판 표시장치.

【청구항 30】

제23항에 있어서,

상기 각 채널 영역의 결정립 중 청색 부화소들의 적어도 채널 영역의 결정립이 평행하게 배열된 제1결정입계와, 상기 제 1결정입계의 사이에 상기 제1결정입계에 대략 수직하도록 연장된 제2결정입계를 갖는 것으로, 상기 제1결정입계가 사각형상인 것을 특징으로 하는 평판 표시장치.

【청구항 31】

제1항 내지 제30항 중 어느 한 항에 있어서,

상기 활성층의 적어도 채널영역은 다결정질 실리콘으로 구비된 것을 특징으로 하는 평판 표시장치.

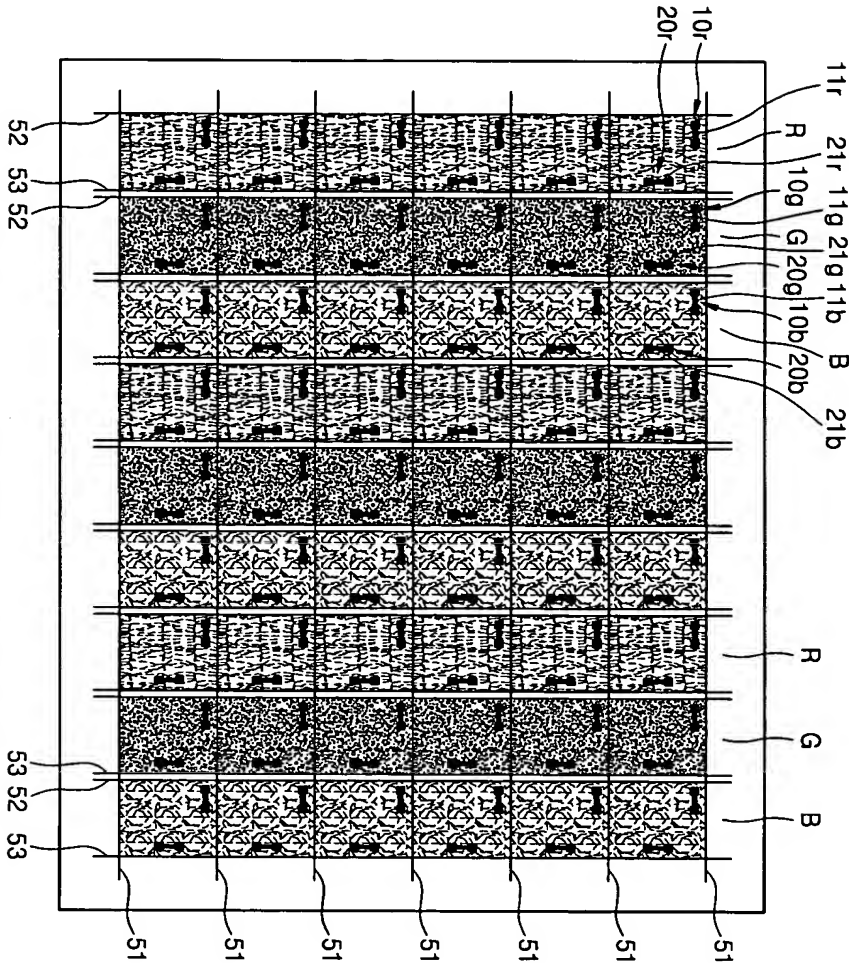
【청구항 32】

제31항에 있어서,

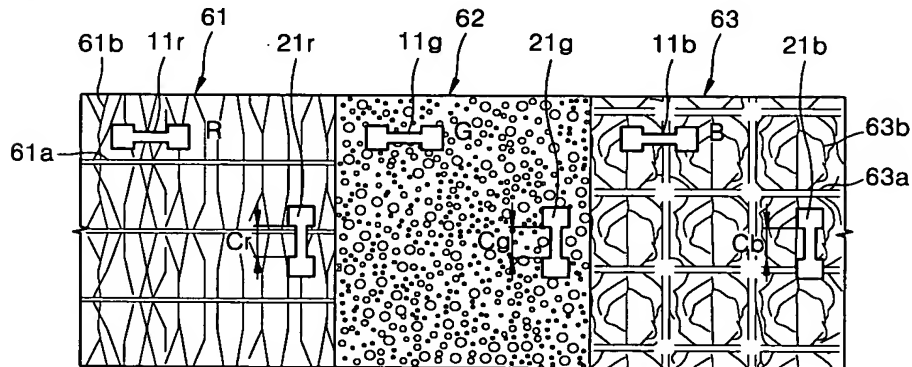
상기 다결정질 실리콘은 레이저에 의한 결정화방법에 의해 형성된 것을 특징으로 하는 평판 표시장치.

【도면】

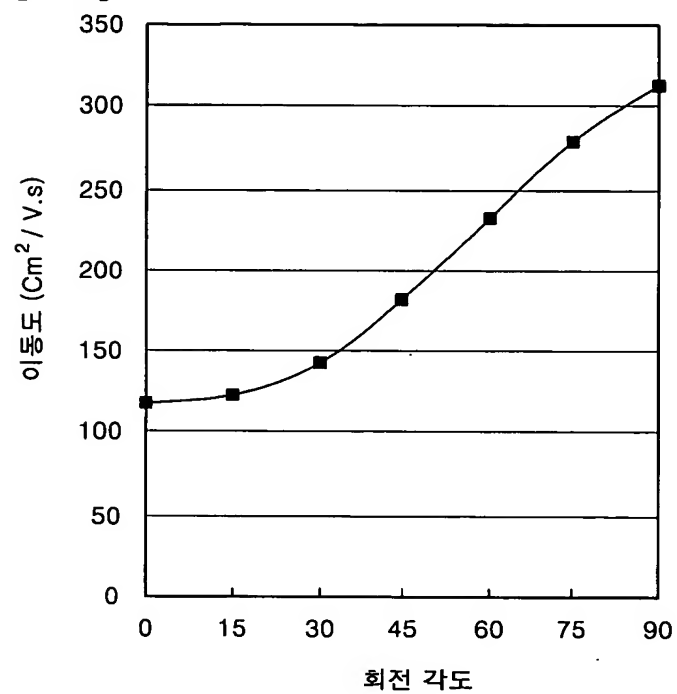
【도 1】



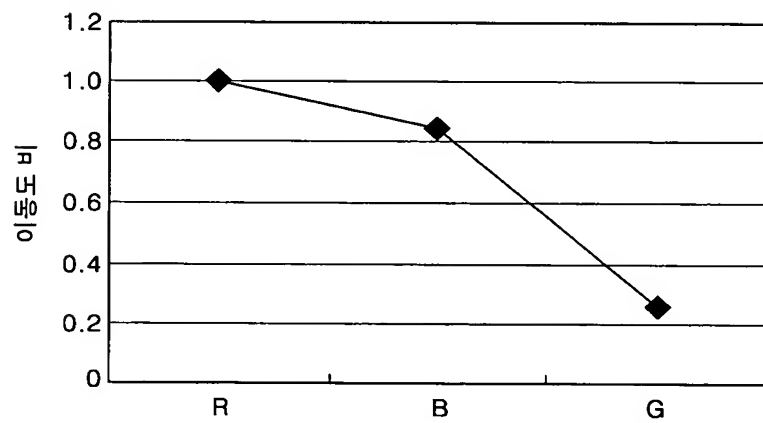
【도 2】



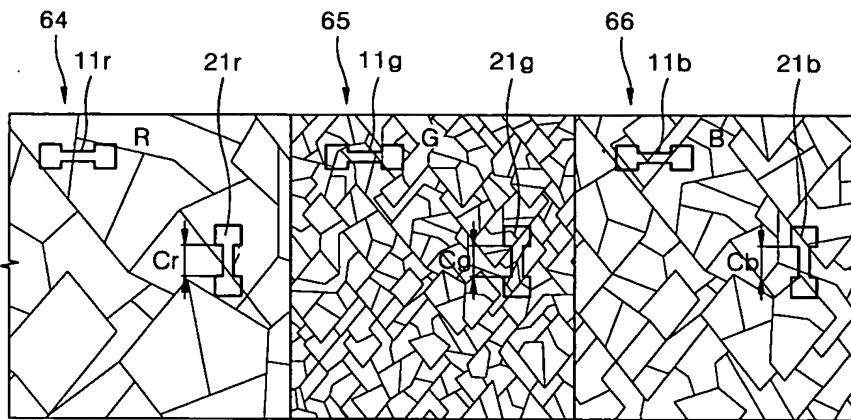
【도 3】



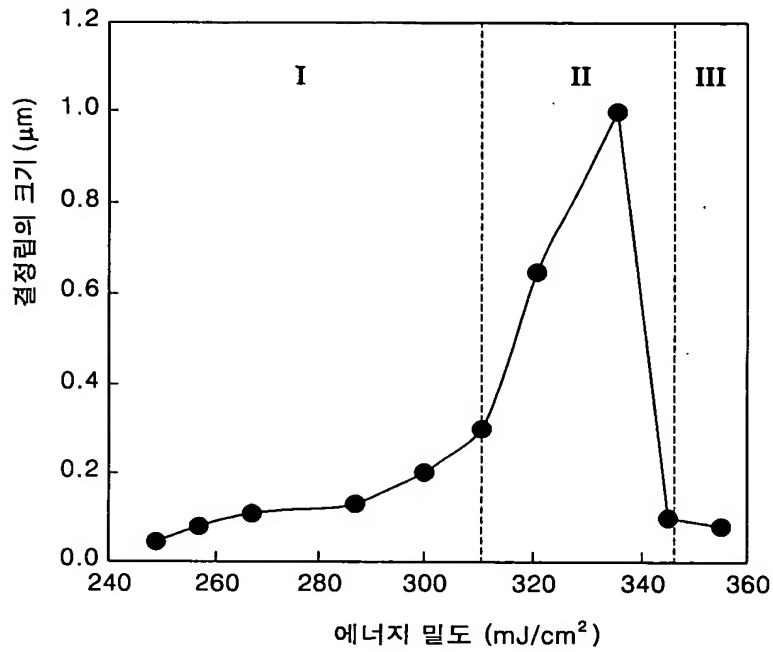
【도 4】



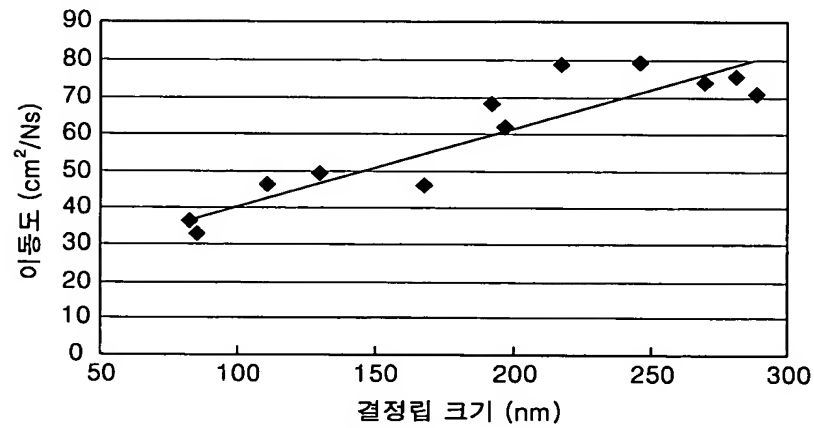
【도 5】



【도 6】



【도 7】



[illegible]

A cross-sectional view of a semiconductor device. The structure consists of several layers. At the bottom is a substrate (1) with a bottom layer (2). Above this is a layer (3) containing a central protrusion (10) and side protrusions (14, 15). The protrusion (10) is covered by a layer (11). The side protrusions (14, 15) are covered by a layer (13). The entire structure is covered by a top layer (52). A central channel (6) is formed between the side protrusions (14, 15). The channel (6) is filled with a material (30). The side protrusions (14, 15) are separated by a material (32). The side protrusions (14, 15) are covered by a layer (33). The side protrusions (14, 15) are separated by a material (53). The side protrusions (14, 15) are covered by a layer (53).

【도 11】

